

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
20. Oktober 2005 (20.10.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/098926 A1

(51) Internationale Patentklassifikation⁷: **H01L 21/331**

(21) Internationales Aktenzeichen: PCT/EP2005/000500

(22) Internationales Anmeldedatum:
19. Januar 2005 (19.01.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 013 478.2 18. März 2004 (18.03.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): AUSTRIAMICROSYSTEMS AG [AT/AT]; Schloss
Premstätten, A-8141 Unterpremstätten (AT).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): MEINHARDT, Ger-
ald [AT/AT]; Haydngasse 1, A-8010 Graz (AT). KRAFT,

Jochen [DE/AT]; Paulahofsiedlung 42, A-8600 Oberaich
(AT).

(74) Anwalt: EPPING HERMANN & FISCHER PATEN-
TANWALTSGESELLSCHAFT MBH; Ridlerstr. 55,
80339 München (DE).

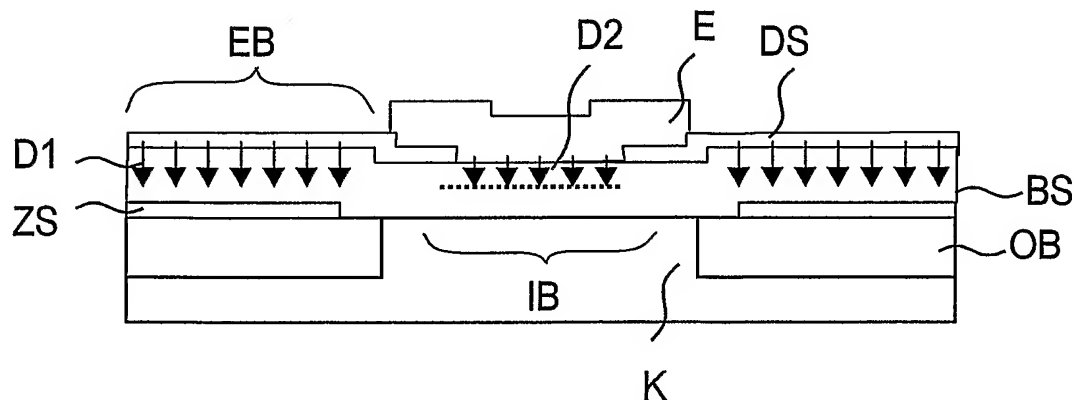
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ,
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,
ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THE PRODUCTION OF A BIPOLAR TRANSISTOR COMPRISING AN IMPROVED BASE TER-
MINAL

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES BIPOLARTRANSISTORS MIT VERBESSERTEM BASIS-
ANSCHLUSS



(57) Abstract: The invention relates to the production of an improved bipolar transistor provided with a low-ohmic base terminal. According to said method, a dielectric layer is to be deposited on a semi-conductor substrate and high doping is to be carried via an implantation mask. In a subsequent controlled thermal step, the dopant is then diffused inside the semi-conductor substrate by the dielectric layer which acts as a dopant store. As a result, a low-ohmic region is produced which defines the extrinsic base in a precise manner.

(57) Zusammenfassung: Zur Herstellung eines verbesserten Bipolartransistors mit niederohmigen Basisanschluss wird vorgeschlagen, über dem Halbleitersubstrat eine dielektrische Schicht abzuscheiden und über eine Implantationsmaske hoch zu dotieren. In einem daran anschliessenden kontrollierten thermischen Schritt wird der Dotierstoff anschliessend aus der als Dotierstoffdepot dienenden dielektrischen Schicht in das Halbleitersubstrat eindiffundiert. Dabei entsteht ein niederohmiger Bereich, mit dem die extrinsische Basis schonend definiert werden kann.

WO 2005/098926 A1



ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— mit internationalem Recherchenbericht

Beschreibung

Verfahren zur Herstellung eines Bipolartransistors mit verbessertem Basisanschluss

Die Erfindung betrifft Verfahren zur Herstellung eines Bipolartransistors mit einem Emitter, einem Kollektor und mit einer in eine intrinsische und eine extrinsische Basis aufgeteilte Basisschicht und ein Verfahren zur Herstellung des Transistors.

Aus der Druckschrift "SiGe Bipolar Technology for Mixed Digital and Analog RF Applications", J. Böck et al. IEEE 2000 sind Transistoren der eingangs genannten Art bekannt, bei denen die Basisschicht einen intrinsischen Abschnitt und einen extrinsischen Abschnitt aufweist, wobei der extrinsische Abschnitt einen Basiskontakt mit dem intrinsischen Abschnitt verbindet. Der extrinsische Abschnitt weist dabei eine relativ geringe Bordotierung auf. Dies ergibt als Nachteil einen hohen Widerstand der Basisschicht und führt zu einem Absinken der Leistungsverstärkung bereits bei niedrigeren Frequenzen und damit zu einer effektiven Verlangsamung des Transistors. Zusätzlich bewirkt der höhere Basiszuleitungswiderstand ein höheres Rauschen.

Aus der US 6028345 B1 ist ein Verfahren zur Herstellung eines Transistors mit niederohmig dotierter extrinsischer Basis bekannt, bei dem im Bereich der extrinsischen Basis eine Glaschicht hochdotiert abgeschieden wird, aus der in einem thermischen Schritt Dotierstoff in die extrinsische Basis eingebracht wird. Dieses Verfahren hat den Nachteil, dass das Abscheiden einer ausreichend hochdotierten Schicht in einem CVD Prozess Probleme bereitet.

Aufgabe der vorliegenden Erfindung ist es daher, ein Verfahren der eingangs genannten Art anzugeben, mit dem ein niederohmiger Basisanschluss in einfacher Weise erzeugt werden kann und welches einfach und kontrolliert durchführbar ist.

Diese Aufgabe wird erfindungsgemäß durch ein Verfahren nach Anspruch 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind weiteren Ansprüchen zu entnehmen.

Die Erfindung nutzt ebenfalls das Prinzip einer differentiellen Basis, wobei zunächst eine üblicherweise schwach dotierte, kristalline Halbleiterschicht als Basisschicht vorgesehen wird. Ein für die spätere extrinsische Basis vorgesehener Bereich dieser Basisschicht wird durch Eindiffusion eines Dotierstoffs vom ersten Leitfähigkeitstyp aus einer darüber abgetrennten dielektrischen Schicht höher dotiert, so dass ein niederohmiger Basisanschluss daraus realisiert werden kann. Der geringe Widerstand des Basisanschlusses bzw. der extrinsischen Basis ermöglicht einen Transistor mit nur kurzen Schaltzeiten bzw. mit einer hohen maximalen Schaltfrequenz. Da die intrinsische Basis gegenüber der extrinsischen eine niedrigere Dotierung aufweist, werden die mit einer hohen Dotierung verbundenen Nachteile vermieden. Insbesondere wird dadurch der Tunnelstrom zwischen einem späteren, hochdotierten Emitter und der (hier nicht) hochdotierten intrinsischen Basis unterdrückt.

Erfindungsgemäß wird die dielektrische Schicht jedoch erst nach dem Abscheiden dotiert. Dies ermöglicht es, eine hohe Dotierstoffdosis in die dielektrische Schicht einzubringen, wobei die Dicke dieser Schicht gering gehalten werden kann. Aus einer dünnen Dotierstoff haltigen Schicht wiederum ge-

lingt die Ausdiffusion des Dotierstoffs in die Basisschicht in weitaus kontrollierterer Weise als aus einer dickeren Schicht. Bei letzterer wären die Grenzen des so hergestellten Dotierungsgebiets in der Basisschicht diffuser, die Ausdehnung des Dotierungsgebiets wäre schwerer zu kontrollieren.

Gegenüber bekannten Verfahren zur Implantation von Dotierstoff direkt in die Basisschicht hat die Diffusion aus der Dotierstoff haltigen dielektrischen Schicht den Vorteil, dass dabei keine implantationsbedingten Defekte und Störstellen in der Basisschicht entstehen, die die Diffusion über das gewünschte Maß hinaus befördern könnten und so schwer reproduzierbare Ergebnisse liefern würden.

Der erfindungsgemäß hergestellte Transistor wird vorzugsweise als npn Bipolartransistor ausgebildet. Dies bedeutet, dass die Basisschicht ebenso wie die dielektrische Schicht p-dotiert ist, bzw. dass der Dotierstoff vom ersten Leitfähigkeitstyp eine p-Dotierung erzeugen kann, der Dotierstoff vom zweiten Leitfähigkeitstyp dagegen eine n-Dotierung.

Möglich ist es jedoch auch, den erfindungsgemäßen Transistor als pnp Bipolartransistor auszubilden.

Vorzugsweise wird über der Basisschicht als dielektrische Schicht eine Oxidschicht abgeschieden, beispielsweise in einem CVD-Verfahren. Diese hat den Vorteil, dass eine ausreichend hohe Dotierstoffdosis eingebracht werden kann und dass deren dielektrischen Eigenschaften auch bei hohem Gehalt an Dotierstoff erhalten bleiben.

Als Dotierstoff wird vorzugsweise BF_2 eingebracht. BF_2 hat den Vorteil, dass sich dessen Eindringtiefe beim Einbringen

mittels Implantieren in die dielektrische Schicht gut kontrollieren lässt.

Das Einbringen des Dotierstoffs und insbesondere das Einbringen von BF_2 in die dielektrische Schicht erfolgt ganzflächig oder mit Hilfe einer Implantationsmaske, mit der die Flächenbereiche der dielektrischen Schicht abgedeckt werden, aus denen kein Dotierstoff in die darunterliegende Basisschicht diffundiert werden soll. Insbesondere weist die Implantationsmaske im Bereich der extrinsischen Basis eine Öffnung auf, während sie den Bereich der intrinsischen Basis abdeckt, so dass dort kein (zusätzlicher) Dotierstoff eingebracht werden kann. Im Fall eines ganzflächigen Einbringens von Dotierstoff in eine großflächig aufgebrachte dielektrische Schicht erfolgt anschließend eine Strukturierung, wobei für den Emitter in einem Fenster die Basisschicht freigelegt wird.

Die Implantationsmaske kann auf einer durchgehenden dielektrischen Schicht aufgebracht sein. Vorzugsweise wird vorher in der dielektrischen Schicht zumindest ein Emitterfenster geöffnet, welches den späteren Emitter/Basiskontakt definiert. Direkt danach wird der Emitter erzeugt, indem ganzflächig eine Emitterschicht abgeschieden und strukturiert wird, um das im Emitterfenster freiliegende Halbleitersubstrat der Basis beim Implantieren nicht zu beschädigen.

Für die Emitterschicht wird eine Halbleiterschicht aufgebracht, insbesondere eine polykristalline, amorphe oder monokristalline Schicht, die mit einem Dotierstoff vom zweitem Leitfähigkeitstyp dotiert ist. Möglich ist es jedoch auch, die Emitterschicht epitaktisch aufwachsen zu lassen. Anschließend wird die Emitterschicht strukturiert.

Die Implantationsmaske kann dann über der Emitterschicht bzw. dem strukturierten Emitter erzeugt werden und besteht beispielsweise aus einer Photolackschicht und gegebenenfalls weiteren darunter angeordneten Schichten, beispielsweise Oxid- und/oder Nitridschichten. Vorzugsweise wird zur Strukturierung des Emitters eine Photolackschicht eingesetzt, die zunächst auf dem Emitter verbleibt und später als Implantationsmaske zur Dotierung der dielektrischen Schicht verwendet werden kann.

Zur Herstellung des Halbleitersubstrats wird vorzugsweise von einem Halbleiterwafer, beispielsweise einem Siliziumwafer mit schwacher Dotierung vom ersten Leitfähigkeitstyp ausgegangen. Darin wird der Kollektor erzeugt, beispielsweise durch zusätzliche Implantation von Dotierstoffen zur Erzeugung eines stark dotierten Kollektorgebiets vom zweiten Leitfähigkeitstyp. Möglich ist es jedoch, auch für den Kollektor eine Halbleiterschicht epitaktisch auf dem Halbleiterwafer aufwachsen zu lassen. Diese kann in situ beim Aufwachsen dotiert werden. Möglich ist es jedoch auch, eine solche epitaktische Schicht nachträglich zu dotieren. Für das tiefliegende Kollektorschlussgebiet wird vor der Epitaxie eine buried layer - eine vergrabene Schicht - erzeugt. Anschließend werden wannenförmige Gebiete - Wells - durch Dotierung und anschließende Diffusion und Aktivierung erzeugt.

Im nächsten Schritt können die aktiven Transistorbereiche definiert werden, indem einzelne Transistorbereiche durch Oxidbereiche voneinander getrennt werden. Um die aktive Transistorfläche werden oxidische Sperrschichten erzeugt, beispielsweise aufgewachsenes Feldoxid (LOCOS) oder mit Oxid gefüllte isolierende Gräben (STI = shallow trench isolation). Die Oxidbereiche können die Transistorbereiche auch von anderen Be-

reichen auf der Oberfläche des Halbleitersubstrats isolieren. Der z.B. ringförmig von den isolierenden Oxidbereichen umgebene aktive Transistorbereich weist einen Durchmesser von z.B. 150 bis 400 Å auf, bleibt frei von Oxid und bildet die Kollektoroberfläche.

Über dem Halbleiterwafer mit den definierten Transistorbereichen wird anschließend ein schwach mit einem Dotierstoff vom ersten Leitfähigkeitstyp dotierter Halbleiter als Basisschicht abgeschieden. Das Aufwachsen bzw. Abscheiden erfolgt unter epitaktischen Bedingungen, wobei die Basisschicht direkt über einen kristallinen Substratmaterial ebenfalls monokristallin aufwächst, während sie über den Oxidbereichen oder anderen nichtkristallinen Bereichen in polykristalliner oder amorpher Form aufwächst. Dabei ist es möglich, zwischen dem Halbleiterwafer und der epitaktischen Basisschicht vor der Epitaxie weitere dielektrische Zwischenschichten aufzubringen und zu strukturieren. Diese können zur zusätzlichen elektrischen Isolation der Basisschicht gegenüber dem Halbleiterwafer dienen. Die Zwischenschicht oder Zwischenschichten sind dann so strukturiert, dass zumindest im aktiven Transistorbereich eine entsprechende Öffnung vorgesehen ist.

Die Basisschicht wird vorzugsweise in einer Schichtdicke von z.B. 1000 bis 2000 Angström abgeschieden. Die Dicke der elektrisch aktiven Basis im späteren Bipolartransistor ist aber wesentlich geringer und beträgt z.B. nur ein Fünftel bis ein Drittel der ursprünglichen Dicke der Basisschicht. Wird der spätere Basis/Emitterübergang nicht an der Grenzfläche der Basisschicht erzeugt, sondern tiefer in die Basisschicht hineinverlegt, so wird dies bei der Dicke der Basisschicht während der Abscheidung durch einen entsprechenden Schichtdickenvorhalt berücksichtigt.

Vorteilhaft stellt wie eben erläutert die epiktaktisch aufgewachsene Basisschicht die oberste Halbleiterschicht des Halbleitersubstrats dar, auf die dann direkt die dielektrische Schicht vorzugsweise undotiert aufgebracht wird. Möglich ist jedoch auch, in der Basisschicht bereits beim Aufwachsen ein Dotierungsprofil von beispielsweise Bor zu erzeugen. Die Basis kann aber auch ohne Epitaxie durch entsprechende Dotierung direkt in der Oberfläche eines Halbleiterwafers definiert sein.

Relativ zur Dicke der Basisschicht weist die darüber liegende dielektrische Schicht eine nur geringe Schichtdicke auf. Dies ist möglich, da das Einbringen des Dotierstoffs in die dielektrische Schicht kontrolliert so erfolgen kann, dass der Dotierstoff nur bis zu einer bestimmten maximalen Tiefe eingebracht wird, die der Dicke der dielektrischen Schicht entspricht. Dies gelingt insbesondere bei Verwendung von BF_2 als Dotierstoff. Außerdem ist es möglich, in der dielektrischen Schicht eine hohe Dosis an Dotierstoff einzulagern bzw. in diese einzubringen, der für eine hohe Dotierung der darunterliegenden Basisschicht ausreichend ist. Dieses Dotierstoffdepot innerhalb der dielektrischen Schicht befindet sich nun ausschließlich in Flächenbereichen über der späteren extrinsischen Basis.

In einem kontrollierten thermischen Schritt wird der Dotierstoff anschließend in die Basisschicht eindiffundiert. Durch Kontrolle der Schichtdicke der dielektrischen Schicht und der Dotierstoffmenge darin gelingt es, die Diffusion so zu führen, dass der Dotierstoff aus der dielektrischen Schicht bis zu einer gewünschten Tiefe in die Basisschicht eindiffundiert. Damit kann eine unerwünschte laterale Diffusion des

Dotierstoffs innerhalb der Basisschicht minimiert werden, so dass die durch die Implantationsmaske ursprünglich vorgegebene Verteilung des Dotierstoffs auch auf die Basisschicht übertragen werden kann und so zu einer wunschgemäßen Strukturierung des Transistors führt. Nach der Ausdiffusion des Dotierstoffs aus der dielektrischen Schicht bzw. der Eindiffusion in die Oberfläche des Halbleitersubstrats und insbesondere in die Basisschicht kann die dielektrische Schicht entfernt werden, beispielsweise durch Ätzen.

Möglich ist es jedoch auch, die dielektrische Schicht auf der extrinsischen Basis stehen zu lassen und in einem späteren Schritt nur ein Fenster für den Basiskontakt in der dielektrischen Schicht zu öffnen, mit dem die extrinsische Basis und damit auch die aktive Basis angeschlossen werden kann.

Der Transistor kann aus einem einheitlichen Halbleitermaterial ausgebildet werden, beispielsweise aus Silizium. Er kann aber auch als Heterobipolartransistor ausgebildet sein, bei dem zumindest eine der Schichten, ausgewählt aus Emitter, Basis und Kollektor Anteile eines weiteren Halbleiters enthält, beispielsweise bis zu 40 Atom% Germanium. Dieser Germaniumanteil kann homogen in der entsprechenden Transistorschicht oder dem entsprechenden Transistorschichtbereich enthalten sein. Möglich ist es jedoch auch, den Germaniumgehalt in einer Transistorschicht kontinuierlich zu verändern und beispielsweise in Richtung eines pn-Übergangs hin ansteigen zu lassen. Da Germanium eine andere Bandlücke als Silizium aufweist, können so die halbleitenden Eigenschaften insbesondere die lokale Bandlücke über den Germanium-Gehalt oder über den Gehalt eines anderen oder eines weiteren Halbleiters auf den gewünschten Wert eingestellt werden. Während Kollektor und Basis vorzugsweise monokristallin ausgebildet werden,

kann der Emitter auch polykristallin oder amorph sein. Möglich ist es jedoch, auch den Emitter epitaktisch aufwachsen zu lassen.

Einzelne oder mehrere Transistorschichten und gegebenenfalls die mit Germanium versehenen Schicht können neben dem Dotierstoff und dem gegebenenfalls vorhandenen zweiten Halbleiter noch weitere Dotierungen aufweisen, die die Eigenschaften des Halbleiters bestimmen. So können einzelne oder mehrere der Transistorschichten einen definierten Gehalt an Kohlenstoff und/oder Stickstoff aufweisen.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und dazugehöriger schematischer Figuren näher erläutert. Die Figuren dienen zur besseren Veranschaulichung der Erfindung, sind daher nur schematisch und insbesondere nicht maßstabsgetreu ausgeführt.

Figuren 1 bis 6 zeigen anhand schematischer Querschnitte durch den Wafer und den darauf aufgebrauchten Aufbau verschiedene Verfahrensstufen bei der Herstellung des erfindungsgemäßen Bipolartransistors

Figur 7 zeigt einen fertigen Bipolartransistor im schematischen Querschnitt

Ausgehend von einem Halbleiterwafer HLW, beispielsweise einem p-dotierten Siliziumwafer wird zunächst für den tiefliegenden Kollektoranschluss eine buried layer durch Implantation eines eine n-Leitfähigkeit erzeugenden Stoffes, beispielsweise Phosphor, und anschließendes epitaktisches Aufwachsen des Kollektorgebiets K erzeugt. Es folgt die Erzeugung und Aktivierung einer Dotierung für die Wells. Dann werden die akti-

ven Transistorbereiche TB erzeugt. Dies erfolgt vorzugsweise durch lokale Oxidation und Aufwachsen von Feldoxid. Die einzelnen Transistoren auf dem großflächigen Halbleiterwafer HLW sind dann gegeneinander durch die entsprechenden Oxidbereiche OB isoliert. Mit Hilfe der Oxidbereiche können die Transistoren auch gegen andere Strukturen und Schaltungselemente, die zusätzlich auf dem Halbleiterwafer integriert werden, isoliert werden.

Figur 1 zeigt die Anordnung nach der Definition der Transistorbereiche. Auf dieser Stufe kann auch außerhalb des aktiven Transistorgebiets über eine Sinkter genannte Dotierung eine leitfähige Verbindung zum Kollektoranschlussgebiet geschaffen werden.

Direkt über den aktiven Transistorbereichen TB und den ihnen benachbarten Oxidbereichen OB wird anschließend eine Basis-schicht BS unter epitaktischen Bedingungen aufgewachsen. Vorzugsweise wird dazu ein Niedertemperatur PE-CVD (plasma enhanced CVD) Verfahren oder ein LP-CVD-(low pressure CVD) Verfahren eingesetzt, bei dem zumindest im Bereich über dem kristallinen Substrat, also im Bereich der intrinsischen Basis die Basisschicht in monokristalliner Modifikation aufwachsen kann. In situ wird die Basisschicht dabei leicht p-dotiert, vorzugsweise mit einem gegebenen über die Schichtdicke variierenden Dotierstoffgehalt, beispielsweise durch direkten Einbau von Bor während des Aufwachsens.

Figur 2 zeigt eine Variante des Verfahrens, bei dem über dem Halbleiterwafer vor dem Aufwachsen der Basisschicht BS noch zumindest eine elektrisch isolierende Zwischenschicht ZS aufgebracht ist. Diese ist so strukturiert, dass zumindest der Transistorbereich TB unbedeckt bleibt. Aufgrund der unter-

schiedlichen Kristallmodifikation und der gegebenenfalls vorhandenen Zwischenschicht können sich in der Basisschicht entsprechende Stufen ausbilden. Figur 2 zeigt die Anordnung nach diesem Verfahrensschritt.

Direkt auf die Basisschicht BS wird anschließend eine dielektrische Schicht DS abgeschieden, beispielsweise eine Oxidschicht in einem CVD-Verfahren (siehe Figur 3).

Gemäß einer Variante wird anschließend die dielektrische Schicht DS strukturiert und dabei ein Emitterfenster EF geöffnet. Ganzflächig wird darüber dann eine stark mit einem Dotierstoff vom zweiten Leitfähigkeitstyp und insbesondere mit Arsen dotierte Emitterschicht aufgebracht. Vorzugsweise wird darüber eine weitere Schicht eines Dielektrikums und insbesondere eine Oxidschicht erzeugt und die Emitterschicht anschließend mit Hilfe einer Photolackmaske strukturiert, wobei der gewünschte Emitter E verbleibt. Dieser ist allerdings nicht identisch mit dem späteren elektrisch aktiven Emitter, der nach Diffusion im kristallinen Gebiet der Basisschicht zu liegen kommt. Figur 4 zeigt die Anordnung nach dieser Verfahrensstufe.

Im nächsten Schritt erfolgt das Einbringen von Dotierstoff in die dielektrische Schicht DS mit Hilfe einer Implantationsmaske (in der Figur nicht dargestellt). Vorzugsweise wird dazu die über dem Emitter verbliebene Photolackmaske verwendet, mit deren Hilfe bereits der Emitter E strukturiert wurde. Damit wird das Verfahren selbstjustierend relativ zur Struktur des Emitters. Andernfalls wird eine Implantationsmaske verwendet bzw. erzeugt, die an den Stellen Öffnungen aufweist, in die anschließend der Dotierstoff eingebracht werden soll.

Das Einbringen von Dotierstoff in die dielektrische Schicht DS erfolgt vorzugsweise durch Implantation und insbesondere durch Implantation von BF_2 . Dies ist in der Figur 5 durch die Pfeile I angedeutet. Die Implantationsbedingungen werden so gewählt, dass die maximale Implantationstiefe des Dotierstoffs keinesfalls größer ist als die Schichtdicke der dielektrischen Schicht. Dadurch wird vermieden, dass in der Basisschicht BS Störstellen entstehen.

Im nächsten Schritt wird der Dotierstoff aus der dielektrischen Schicht DS in die Basisschicht BS überführt, indem die gewünschten Diffusionsbedingungen eingestellt werden. Die Ausdiffusion von Bor aus der dielektrischen Schicht DS in den darunterliegenden Abschnitt der Basisschicht BS erfolgt bei Normaldruck unter inerten Bedingungen, beispielsweise in einer RTP (Rapid Thermal Processing) Anlage bei einer Temperatur von $960 - 1020^\circ\text{C}$ und einer Dauer von $5 - 30\text{s}$. Auf diese Weise erhält man eine hochdotierte extrinsische Basis, während die intrinsische Basis ihre ursprüngliche Dotierung beibehält.

Gleichzeitig mit der Diffusion des Bors aus der dielektrischen Schicht erfolgt auch eine Diffusion von Dotierstoffen vom zweiten Leitfähigkeitstyp aus dem Emitter in die Basisschicht BS. Vorzugsweise ist der Emitter mit Arsen n-dotiert, das sich gegenüber dem mobileren Bor durch eine geringere Diffusionsgeschwindigkeit auszeichnet. Dadurch ist es möglich, das Bor bis in eine größere Tiefe eindiffundieren zu lassen, die z. B. der Schichtdicke der Basisschicht BS entspricht. Dagegen erfolgt die Eindiffusion von Arsen in eine nur geringere maximale Tiefe, die in der Figur 6 durch eine gepunktete Linie angedeutet ist. Bis zu dieser Linie verlagert sich dabei gleichzeitig auch der Halbleiterübergang zwischen der p-

leitenden Basisschicht und dem n-dotierten Emitter in die monokristalline Basisschicht BS. Dadurch wird erreicht, dass der Emitter/Basis-Übergang von den an Schichtgrenzen Basisschicht/Emitterschicht existierenden Störstellen entfernt ist.

Durch den gesamten Diffusionsvorgang wird die Basisschicht im Bereich der extrinsischen Basis EB hochdotiert und damit niederohmig. Im übrigen überwiegend monokristallinen Bereich der Basisschicht BS verbleibt die intrinsische Basis IB, die im Bipolartransistor die eigentliche Basisfunktion zur Verfügung stellt. Der elektrische Anschluss der intrinsischen (aktiven) Basis IB erfolgt über die extrinsische Basis EB, die durch die hohe Dotierung eine hohe Leitfähigkeit und damit einen niederohmigen Basisanschluss gewährleistet. Zwischen der aktiven Basis, die streng genommen durch den Emitterbasisübergang definiert wird, und der extrinsischen Basis EB verbleibt ein Sicherheitsabstand, der im erfindungsgemäßen Verfahren minimiert wird.

Figur 7 zeigt einen fertigen Bipolartransistor, bei dem gegenüber der bisherigen Anordnung nun noch die Kontakte zum Anschließen der einzelnen Transistorschichten erzeugt worden sind. Direkt über dem Emitter E wird beispielsweise ein Emitterkontakt EK erzeugt, der aus Polysilizium oder einem Metall, insbesondere aus Aluminium, Wolfram oder Kupfer ausgebildet ist. Im Bereich der extrinsischen Basis EB wird über der Basisschicht in der dielektrischen Schicht DS und den anderen gegebenenfalls darüber aufgetragenen Schichten in einem Fenster die Basisschicht BS freigelegt und der Basiskontakt BK aufgebracht. Der Kontakt zum Kollektor ist außerhalb des Transistorbereichs vorgenommen. Dazu wird ein mit Dotierstoff vom zweiten Leitfähigkeitstyp hochdotierter Kollektoran-

schluss KA im Halbleitersubstrat HLS erzeugt. Mit dem Kollektoranschluss KA wird eine tiefliegende, hochdotierte, vergrabene Kollektorschicht VK kontaktiert, die wiederum mit dem Kollektorgebiet KG und einem selektiv implantierten Kollektorgebiet KA in Verbindung steht. Auf diese Weise wird ein durchgehend hochdotierter und damit niederohmiger Anschluss über Kollektoranschluss KA, vergrabene Kollektorschicht VK und Kollektorgebiet KG hergestellt, die allesamt eine hohe Dotierung vom zweiten Leitfähigkeitstyp aufweisen.

Der erfindungsgemäße Transistor zeichnet sich durch eine intrinsische Basis aus, die relativ dünn gehalten werden kann und deren Dotierstoffverteilung durch die epitaktische Abscheidung definiert ist. Die geringe Dicke ermöglicht eine schnelle Überbrückung der intrinsischen Basis durch die vom Emitter initiierten Ladungsträger und damit kurze Schaltzeiten des Transistors. Die intrinsische Basis ist auch nicht durch eine Ausdiffusion ihrer Dotierstoffelemente, insbesondere der Boratome in benachbarte Schichtbereiche von Emitter oder Kollektor verbreitert, wie dies insbesondere bei der bekannten Dotierstoffimplantation der gesamten Basisschicht als nachteilige Begleiterscheinung zu erwarten wäre. Dennoch wird über die extrinsische Basis, die durch die Eindiffusion zusätzlichen Dotierstoffs niederohmig und damit gut elektrisch leitend ist, insgesamt ein niederohmiger Anschluss der intrinsischen Basis und damit des gesamten Transistors ermöglicht. Mit dem erfindungsgemäßen Verfahren können die einzelnen Bestandteile des Transistors ausreichend separiert werden, ohne dass dadurch der Widerstand des Basisanschlusses gegenüber bekannten Transistoren erhöht wird. Ein erfindungsgemäßer Transistor ist daher insbesondere für schnelle logische und analoge Schaltkreise geeignet und erlaubt eine hohe Schaltfrequenz.

Der Abstand zwischen hochdotierter extrinsischer Basis und dem Emitter kann mit Hilfe des erfindungsgemäßen Verfahrens so gewählt werden, dass einerseits ein niederohmiger Basisanschluss über die extrinsische Basis hin zum Emitter-/Basisübergang möglich ist und andererseits das Tunneln von Ladungsträgern zwischen dem hochdotierten Bereich der Basis-schicht und dem hochdotierten Emitter auf einen gewünschten Wert beschränkt bzw. unter einen maximal tolerierbaren Wert abgesenkt wird.

Obwohl das erfindungsgemäße Verfahren nur anhand eines einzigen Ausführungsbeispiels beschrieben werden konnte, ist es doch nicht auf dieses beschränkt. Im Rahmen der Erfindung liegen vielmehr zahlreiche Abwandlungen der angegebenen Verfahrensparameter und insbesondere der Materialauswahl.

Patentansprüche

1. Verfahren zur Herstellung eines Bipolartransistors mit hochdotierter extrinsischer Basis (EB),

- bei dem auf einem Halbleitersubstrat (HLS) eine Basis-schicht (BS) vorgesehen wird,
- bei dem eine dielektrische Schicht (DS) schwach- oder un-dotiert auf der Basisschicht abgeschieden wird
- bei dem in die dielektrische Schicht ein Dotierstoff vom ersten Leitfähigkeitstyp eingebracht wird,
- bei dem in einem kontrollierten thermischen Schritt der Dotierstoff aus der dielektrischen Schicht in das Halbleiter-substrat eindiffundiert, wobei eine niederohmig dotierte extrinsische Basis entsteht.

2. Verfahren nach Anspruch 1,

bei dem als dielektrische Schicht (DS) eine Oxidschicht abgeschieden wird, in die nachträglich als Dotierstoff BF_2 eingebracht wird.

3. Verfahren nach Anspruch 1 oder 2,

bei dem in der dielektrischen Schicht (DS) ein Emitterfenster (EF) geöffnet wird.

4. Verfahren nach einem der Ansprüche 1 bis 3,

- bei dem eine Implantationsmaske aufgebracht und so strukturiert wird, dass in einem für die spätere extrinsische Basis (EB) vorgesehenen Bereich eine Öffnung verbleibt

5. Verfahren nach Anspruch 3 oder 4,

bei dem vor dem Einbringen des Dotierstoffs in die dielektrische Schicht (DS) der Emitter (E) durch Aufbringen und Strukturieren einer polykristallinen, mit einem Dotierstoff vom

zweiten Leitfähigkeitstyp dotierten Emitterschicht über dem Emitterfenster (EF) erzeugt wird.

6. Verfahren nach Anspruch 5,
bei dem die Strukturierung der Emitterschicht mit einer photostrukturierten Lackmaske erfolgt, die auf dem Emitter (E) verbleibt und später als Implantationsmaske zum Implantieren des Dotierstoffs in die dielektrische Schicht verwendet wird.

7. Verfahren nach einem der Ansprüche 1 bis 6,
- bei dem zur Herstellung des Halbleitersubstrats (HLS) in einem mit einem Dotierstoff vom zweiten Leitfähigkeitstyp dotierten Halbleiterwafer (HLW) aktive Transistorbereiche (TB) definiert und durch Oxidbereiche (OB) elektrisch isoliert werden und
- bei dem ganzflächig eine mit einem Dotierstoff vom ersten Leitfähigkeitstyp schwach dotierte Basisschicht (BS) epitaxial aufgewachsen wird.

8. Verfahren nach einem der Ansprüche 1 bis 7,
bei dem im Halbleiterwafer (HLW) im aktiven Transistorbereich (TB) eine mit einem Dotierstoff vom zweiten Leitfähigkeitstyp dotierte vergrabene Kollektorschicht (VK) durch Implantation erzeugt wird, die zum elektrischen Anschluss des Kollektors dient.

9. Verfahren nach einem der Ansprüche 1 - 8,
bei dem zum Einbringen des Dotierstoffs in die dielektrische Schicht (DS) BF_2 implantiert wird.

10. Verfahren nach einem der Ansprüche 1 - 8,
bei dem man BF_2 aus der Gasphase in die dielektrische Schicht (DS) eindiffundieren läßt.

11. Verfahren nach einem der Ansprüche 4 - 9,
bei dem die Emitterschicht mit Arsen dotiert wird,
bei dem während der Eindiffusion des Dotierstoffs in die Basisschicht (BS) auch Arsen aus dem Emitter (E) in einen Oberflächenbereich der Basisschicht (BS) eindiffundiert.

12. Verfahren nach einem der Ansprüche 4 - 10,
bei dem die dielektrische Schicht (DS) nach dem Strukturieren der Emitterschicht und nach der Ausdiffusion des Dotierstoffs in freiliegenden Bereichen durch Ätzen entfernt wird.

13. Verfahren nach einem der Ansprüche 1 - 11,
- bei dem ein n-dotierter Halbleiterwafer (HLW) bereit gestellt wird
- bei dem ganzflächig eine p-dotierte Basisschicht (BS) epitaxial auf dem Halbleiterwafer aufgewachsen wird
- bei dem auf der Basisschicht eine dielektrische Schicht (DS) schwach- oder undotiert aufgebracht wird
- bei dem in der dielektrischen Schicht ein Emitterfenster (EF) geöffnet wird
- der Emitter (E) durch Aufbringen und Strukturieren einer As-dotierten polykristallinen Emitterschicht über dem Emitterfenster erzeugt wird.
- bei dem mit Hilfe einer Implantationsmaske in die dielektrische Schicht BF_2 als Dotierstoff eingebracht wird,
- bei dem man in einem kontrollierten thermischen Schritt Bor aus der dielektrischen Schicht in die Basisschicht im Bereich der extrinsischen Basis (EB) eindiffundieren lässt, wobei diese niederohmig wird, und gleichzeitig Arsen aus dem Emitter durch das Emitterfenster in einen oberen Bereich der Basisschicht (BS) eindiffundiert.

14. Verfahren nach Anspruch 13,
bei dem als Implantationsmaske eine über einer Oxidschicht
über dem Emitter (E) aufgebraute Photomaske verwendet wird,
wobei diese Photomaske vorher bereits zur Strukturierung der
Emitterschicht eingesetzt wurde.

15. Verfahren nach Anspruch 13 oder 14,
bei dem der Kollektoranschluss über eine n^+ -dotierte Buried
Layer erfolgt und bei dem über dem Emitter und im Bereich der
extrinsischen Basis der jeweilige Halbleiter freigelegt und
metallische Kontakte darüber erzeugt werden.

1/3

Fig 1

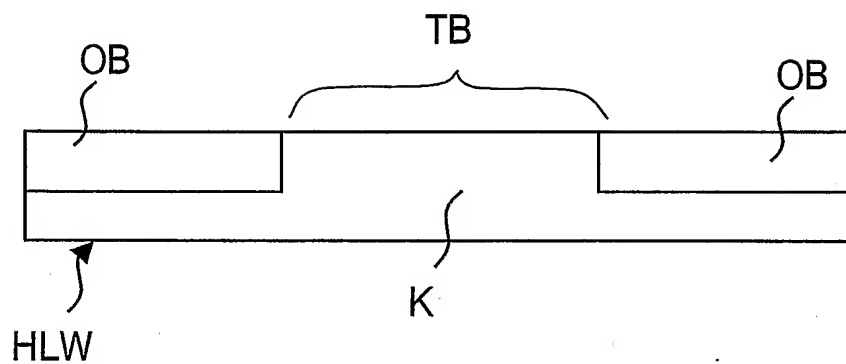


Fig 2

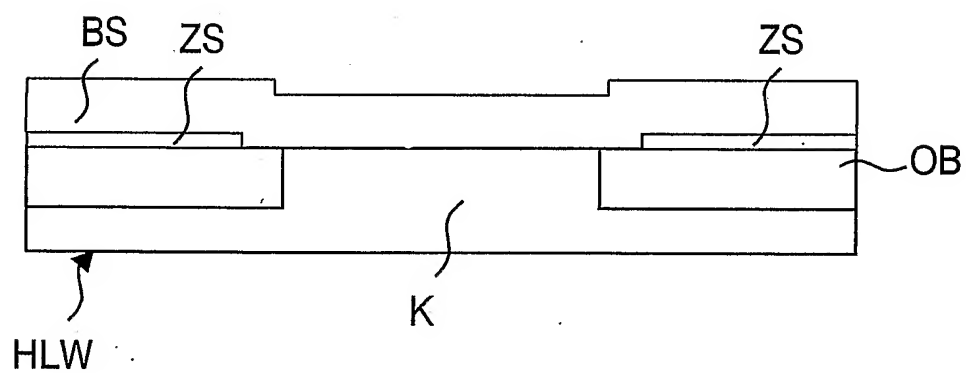


Fig 3

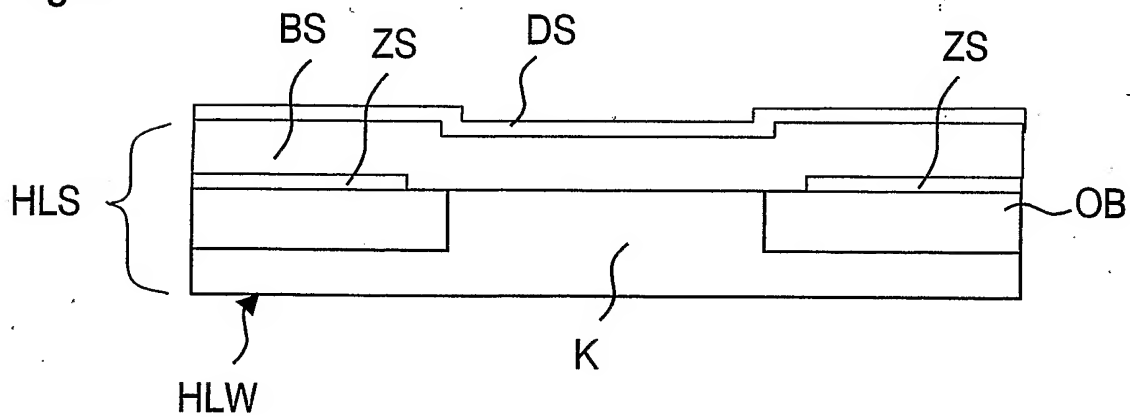


Fig 4

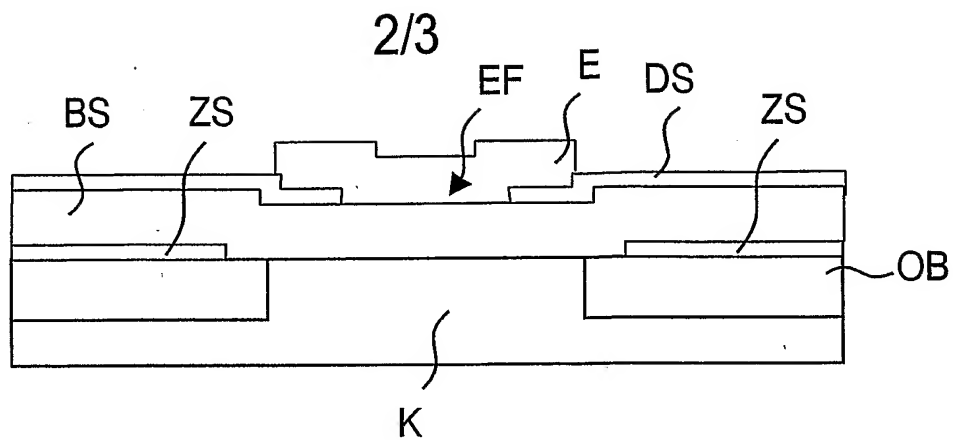


Fig 5

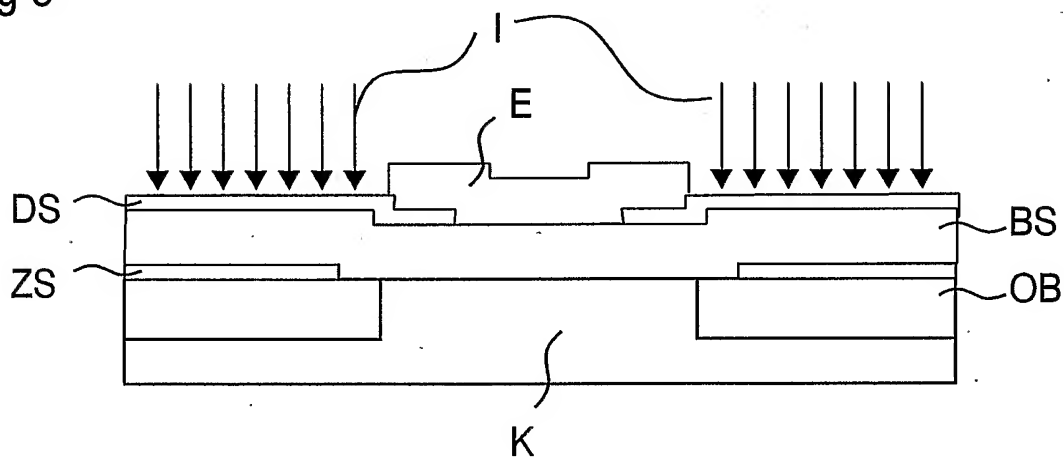
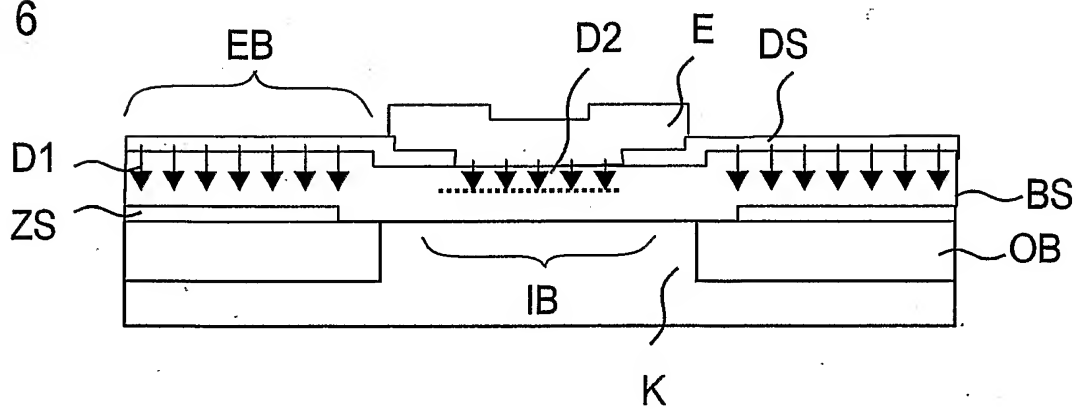
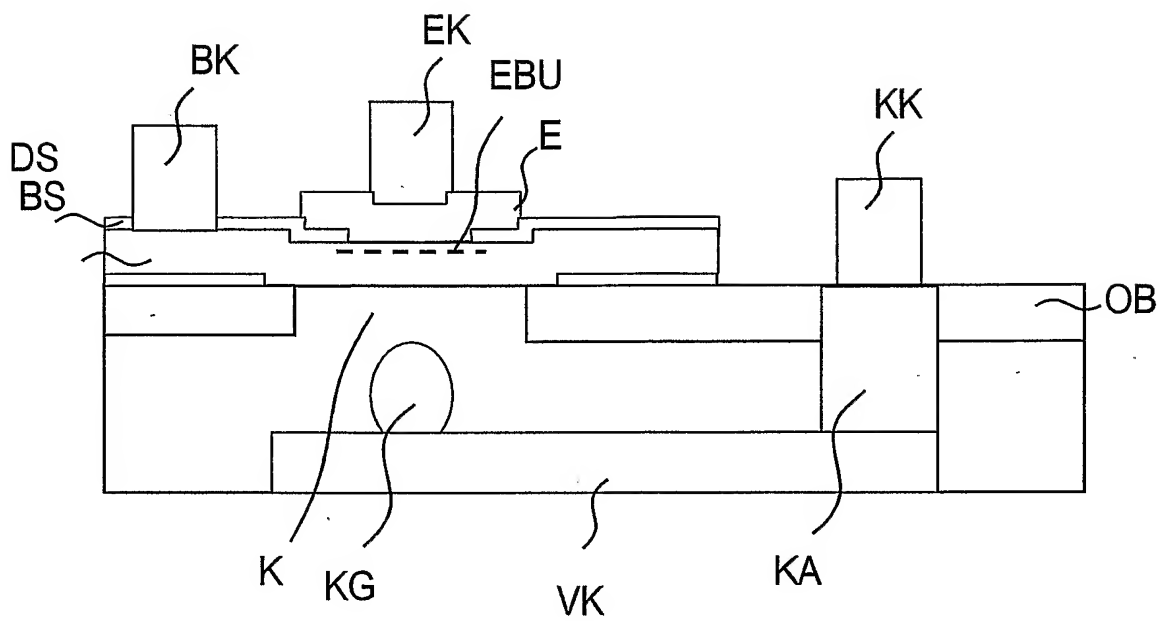


Fig 6



3/3

Fig 7



INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2005/000500

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/331

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6 028 345 A (JOHNSON ET AL) 22 February 2000 (2000-02-22) cited in the application the whole document	1-4,7-15
Y	EP 0 219 243 A (MONOLITHIC MEMORIES, INC) 22 April 1987 (1987-04-22) page 5, line 14 - page 6, line 32; figures 4,5 page 10, line 10 - page 10, line 21	1-4,7-15
Y	US 2002/003286 A1 (MARTY MICHEL ET AL) 10 January 2002 (2002-01-10) the whole document	7,8,13, 15
	----- -/-	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

3 May 2005

Date of mailing of the international search report

18/05/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Baillet, B

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2005/000500

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KRAVETSKY ET AL.: "A study of ion-implanted Si(111) and Si(111)/silicon oxide by optical second harmonic generation" SURFACE SCIENCE, vol. 402-404, 15 May 1998 (1998-05-15), pages 542-546, XP002326985 NETHERLANDS the whole document	2,9,10, 13
A	US 3 886 569 A (BASI ET AL) 27 May 1975 (1975-05-27) the whole document	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2005/000500

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6028345	A	22-02-2000	US 5541121 A EP 0724297 A1 JP 8236538 A	30-07-1996 31-07-1996 13-09-1996
EP 0219243	A	22-04-1987	DE 219243 T1 EP 0219243 A2 JP 62089357 A	24-09-1987 22-04-1987 23-04-1987
US 2002003286	A1	10-01-2002	FR 2779573 A1 EP 0962985 A1 JP 2000031156 A US 6316818 B1	10-12-1999 08-12-1999 28-01-2000 13-11-2001
US 3886569	A	27-05-1975	DE 2102897 A1 FR 2077264 A5 GB 1326522 A JP 49045188 B US 3748198 A	29-07-1971 22-10-1971 15-08-1973 03-12-1974 24-07-1973

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/000500

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L21/331

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 6 028 345 A (JOHNSON ET AL) 22. Februar 2000 (2000-02-22) in der Anmeldung erwähnt das ganze Dokument -----	1-4, 7-15
Y	EP 0 219 243 A (MONOLITHIC MEMORIES, INC) 22. April 1987 (1987-04-22) Seite 5, Zeile 14 - Seite 6, Zeile 32; Abbildungen 4,5 Seite 10, Zeile 10 - Seite 10, Zeile 21 -----	1-4, 7-15
Y	US 2002/003286 A1 (MARTY MICHEL ET AL) 10. Januar 2002 (2002-01-10) das ganze Dokument ----- -/-	7, 8, 13, 15



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

3. Mai 2005

Absendedatum des internationalen Recherchenberichts

18/05/2005

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Baillet, B

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/000500

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	KRAVETSKY ET AL.: "A study of ion-implanted Si(111) and Si(111)/silicon oxide by optical second harmonic generation" SURFACE SCIENCE, Bd. 402-404, 15. Mai 1998 (1998-05-15), Seiten 542-546, XP002326985 NETHERLANDS das ganze Dokument	2,9,10, 13
A	US 3 886 569 A (BASI ET AL) 27. Mai 1975 (1975-05-27) das ganze Dokument	1-15

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/000500

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 6028345	A	22-02-2000	US	5541121 A	30-07-1996
			EP	0724297 A1	31-07-1996
			JP	8236538 A	13-09-1996
EP 0219243	A	22-04-1987	DE	219243 T1	24-09-1987
			EP	0219243 A2	22-04-1987
			JP	62089357 A	23-04-1987
US 2002003286	A1	10-01-2002	FR	2779573 A1	10-12-1999
			EP	0962985 A1	08-12-1999
			JP	2000031156 A	28-01-2000
			US	6316818 B1	13-11-2001
US 3886569	A	27-05-1975	DE	2102897 A1	29-07-1971
			FR	2077264 A5	22-10-1971
			GB	1326522 A	15-08-1973
			JP	49045188 B	03-12-1974
			US	3748198 A	24-07-1973